

(11)Publication number :

07-078782

(43)Date of publication of application : 20.03.1995

(51)Int.Cl.

H01L 21/265
H01L 21/266
H01L 21/28
H01L 21/3205
H01L 21/336
H01L 29/786

(21)Application number : 05-172711

(71)Applicant : SEMICONDUCTOR ENERGY
LAB CO LTD

(22)Date of filing :

18.06.1993

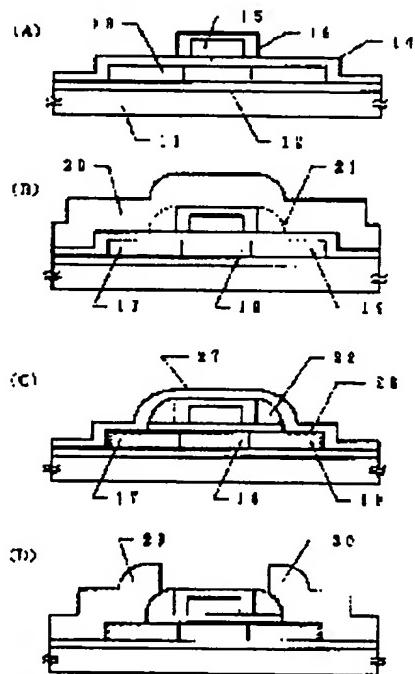
(72)Inventor : TERAMOTO SATOSHI
CHIYOU KOUYUU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a contact of a source/drain region accurately at a position adjacent to a channel forming region by a method wherein the contact is positioned by an insulator.

CONSTITUTION: An oxide layer 16 is formed surrounding a gate electrode 15, furthermore a nearly triangular insulator 22 is provided around the gate electrode 15, and contact points between a source region 17 and a drain region 19 and electrodes 29 and 30 are positioned by the insulator 22. The nearly triangular insulator 22 is formed through such a manner that a silicon oxide film 20 is formed and then subjected to etching anisotropic in a vertical direction into a part 21 indicated by a dotted line. Chemical compound (silicide) 28 composed of metal and silicon is provided to the parts of the source region 17 and the drain region 19 in contact with the source electrode 29 and the drain electrode 30, whereby the electrodes 29 and 30 and the regions 17 and 19 are lessened in contact resistance between them, and the regions 17 and 19 are also reduced in sheet resistance.



LEGAL STATUS

[Date of request for examination] 26.08.1994

[Date of sending the examiner's decision] 13.01.1998

of reiection]
than the examiner's decision of rejection
or application converted registration]

[Date of final disposal for application]

[Patent number] 3252990

[Date of registration] 22.11.2001

[Number of appeal against examiner's
decision of rejection] 10-02276

[Date of requesting appeal against
examiner's decision of rejection] 12.02.1998

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開登号

特開平7-78782

(43)公開日 平成7年(1995)3月20日

(51)Int.Cl.
H01L 21/265
21/266
21/28

識別記号 序内整理番号
301 S 7376-4M

P I

技術表示箇所

H01L 21/265 S
9066-4M 29/78 311 P
審査請求 有 請求項の数 5 FD (全 9 頁) 最終頁に続く

(21)出願番号

特願平5-172711

(22)出願日

平成5年(1993)6月18日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 寺本 駿

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 張 宏勇

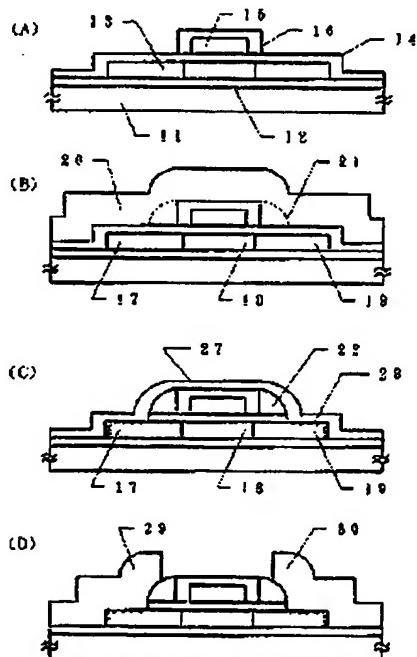
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 半導体基板およびその作製方法

(55)【要約】

【目的】 薄膜トランジスタにおいて、ソース／ドレイン領域へのコンタクトの方法を改良する。

【構成】 略三角形状の絶縁物22によって、ソース／ドレイン領域へのコンタクト部を自己整合的に決める。この構成をとることにより、マスク台わせを行わずに25の距離を決めることができ、しかもその距離を短くできるので、ソース／ドレイン領域の抵抗があまり問題とならない構成を実現できる。また28をシリサイド層とすることによって、ソース／ドレイン領域のシート抵抗を下げ、TFTの特性を向上させることができる。



【特許請求の範囲】

【請求項1】 ゲイト電極側面の絶縁層に密接して微略三角形状の絶縁物が設けられ、

ソース／ドレイン領域表面には、シリサイド層が形成されており、

前記絶縁物によって、ソース領域及びドレイン領域へのコンタクト位置が定まっていることを特徴とする半導体装置。

【請求項2】 請求項1において、ゲイト電極はアルミニウムを主成分としており、絶縁層はアルミニウムの酸化物であることを特徴とする半導体装置。

【請求項3】 ゲイト電極側面に密接して微略三角形状の絶縁物が設けられ、

該絶縁物によって、ソース領域及びドレイン領域へのコンタクト位置は定まっていること、

ソース／ドレイン領域表面にはシリサイド層が形成されていることを特徴とする半導体装置。

【請求項4】 ゲイト電極を覆って絶縁物を形成する工程と、

異方性エッチングを行うことによって、前記絶縁物をエッチングし、ゲイト電極側面に微略三角形状の絶縁物を残存させるとともに、ソース領域、ドレイン領域を露呈させる工程と、

露呈したソース／ドレイン領域表面にシリサイド層を形成する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項5】 ソース／ドレイン領域とチャネル形成領域が形成される半導体層上にゲイト絶縁膜を構成する絶縁膜を形成する工程と、

前記絶縁膜上にゲイト電極を形成する工程と、
ソース／ドレイン領域となる半導体層を露呈する工程と、

該工程によって露呈した半導体層表面にシリサイド層を形成する工程と、

を有する半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、TFT（薄膜トランジスタ）の構造、及びその作製方法に関する。

【0002】

【従来の技術】 従来より、アクティブマトリックス型の液晶表示装置やイメージセンサー等のガラス基板上に集積化された装置にTFT（薄膜トランジスタ）を利用する構成が広く知られている。図5に従来のTFTの断面の概略を示す。図5(A)に示されているのは、ガラス基板上に設けられた薄膜珪素半導体を用いた絶縁ゲイト型電界効果トランジスタ（以下単にTFTという）である。図5(A)において、61がガラス基板であり、このガラス基板61上に下地の酸化珪素膜62(2000Å程度)が形成され、さらにその上にソース／ドレイ

ン領域63、65とチャネル形成領域64とが設けられた珪素半導体膜により構成される活性層が形成されている。この珪素半導体膜は、1000Å程度の厚さであり、非晶質（アモルファス）または結晶性（多結晶や微結晶）を有している。

【0003】 そして活性層上にはゲイト絶縁膜を構成する酸化珪素膜66が1000Å程度の厚さで形成されている。そしてゲイト電極67がアルミニウムで形成され、このゲイト電極67の周囲には、アルミニウムの陽極酸化によって形成された酸化物層68が厚さ2000Å程度の厚さで形成されている。さらに層間絶縁物69が酸化珪素等で形成され、ソース／ドレイ電極70、71とゲイト電極67へのコンタクトホール72が形成されている。図5(A)において、ゲイト電極67へのコンタクトホール72は、紙面向う側あるいは手前側（即ちソース／ドレイ電極70、71と同一平面上にはない）に存在する。

【0004】 図5(A)に示す構造は、アルミニウムのゲイト電極67の陽極酸化によって形成されたゲイト電極67周囲の酸化物層68の厚さ73によって、自己整合的にオフセットゲイト領域を形成できる点が特徴である。即ち、酸化物層68を形成した後において、ソース／ドレイ領域を構成するための不純物イオンの注入を行なうことによって、酸化物層68の厚さの分をオフセット領域として形成することができる。

【0005】 しかしながら、実際には不純物の拡散があるので、ソース／ドレイ領域63、65とチャネル形成領域64との境界は、酸化物層68の端部に対応する所よりチャネル形成領域側によった部分となる。従って、その分を考慮して酸化物層68の厚さを決めなければならない。即ち、一般的には所望のオフセットゲートの長さより厚く酸化物層68を形成しなければならない。

【0006】 また、ソース／ドレイ領域63、65へのコンタクトホールの形成を行う場合、エッチングしつづけると、酸化珪素膜66との界面を中心にコンタクトホール周辺部がエッチングされてしまう。すると、70、71のアルミニウムを形成した場合に、エッチングされた周辺部へアルミニウムが拡散し、時にはチャネル形成領域64付近へもアルミニウムが拡散してTFTの特性や信頼性を低下させてしまう。

【0007】 一方、ソース／ドレイ領域へのコンタクト部とチャネル形成領域64との間の距離74が大きい場合、ソース／ドレイ領域のシート抵抗が問題となる。この問題を解決するには、74で示される距離を短くする方法が考えられるが、マスク合わせの精度の問題であまり短くすることはできない。特に基板としてガラス基板を用いた場合には、加熱工程（各種アーナー工程が必要とされる）におけるガラス基板の縮みがマスク台わせに際して大きな問題となる。例えば、10cm角以

上のガラス基板に対して、600度程度の熱処理を加えると、数μm程度は簡単に縮んでしまう。従って、74で示される距離は20μm程度としてマージンをとっているのが現状である。

【0008】さらにまた、前述のソース／ドレイン領域へのコンタクトホールの形成におけるオーバーエッチングの問題を考えると、74で示される距離を無闇に短くすることはできない。以上述べたように、従来のTFTにおいては、

(1) ソース／ドレイン領域へのコンタクトホールの形成が問題となる。

(2) (1)に関連してコンタクトホールの位置をチャネル形成領域近くに形成できないので、ソース／ドレイン領域のシート抵抗が問題となる。

【0009】一方、上記(1)、(2)に示すような問題を解決する構造として、図6(B)に示すような構造のTFTが提案されている。このTFTは、図6(A)のTFTと同様なアルミニウムを主成分とするゲート電極67の周囲に陽極酸化工程によって、酸化物層68を形成し、この酸化物層68に直接してソース／ドレイン電極70、71を設けたものである。しかし、この構造では、ソース／ドレイン電極70、71とゲート電極67とが酸化物層68のみを介して存在することになるので、酸化物層68を介しての寄生容量が問題となり、動作の不安定さ、信頼性の低下が発生してしまう。この問題を解決するには、酸化物層68の厚さを厚くすればよいのであるが、酸化物層68の厚さは、オフセットゲートの長さを決めるものであるので、無闇に厚くすることはできない。さらに、酸化物層68にピンホールが存在している場合には、ソース／ドレイン電極とゲート電極との間でリークが発生する問題があり、何れにしても実用的ではなかった。

【0010】

【発明が解決しようとする課題】本発明は、上記のような問題を解決し、ソース／ドレイン領域へのコンタクトをチャネル形成領域に近い位置に正確に形成すること、またはソース／ドレインへのコンタクトホールの形成に際して、高い信頼性を得ることができるTFTを得ることを課題とする。

【0011】

【課題を解決するための手段】図1を用いて本発明を説明する。アルミニウムを主成分とするゲート電極15の周囲にはアルミニウムの酸化物層16が形成されており、さらにその周囲に概略三角形状の絶縁物(酸化珪素)22が設けられており、この絶縁物22によってソース／ドレイン領域17、19と電極29、31とのコンタクト位置が決定されている。この概略三角形状の絶縁物は、酸化珪素膜20を成膜した後、垂直方向に異方性を有するエッティング(垂直方向が選択的にエッティングされる)を行うことによって、21で示される部分に形

成される。

【0012】この概略三角形状の絶縁物22の寸法特にその幅は、予め成膜される絶縁物20の厚さと、エッチング条件と、ゲート電極15の高さ(この場合絶縁層16の厚さも含まれる)とによって決定される。25の値は2000Å～20000Å程度が一般的であるが、実施態様に合わせて決めればよい。また、この絶縁物22の形状は、三角形状に限定されるものではなく、酸化物20のステップカバレージや膜厚によってその形状が変化する。例えば、25で示す寸法を短くした場合は、方形となる。しかし、簡単のため以下明細書中では、22のことを図面に示すように概略三角形状の絶縁物ということとする。

【0013】また、ソース／ドレイン電極29、31がソース／ドレイン領域17、19とコンタクトしている部分には、珪素と金属との化合物(以下シリサイドといふ)28が形成されており、その接触抵抗とソース／ドレイン領域17、19のシート抵抗とが低減されている。このシリサイド28は、珪素膜上にシリサイドを構成する金属膜27を成膜し、必要に応じて熱処理を加えることによって、珪素膜上に形成される。このシリサイドの種類としては、Tiを用いてTiSi_x、TiSi_y、Nb用いてNbSi_x、Wを用いてWSi_x、W(SiAl)_x、TiSi_yを用いてTi_xSi_yAl_z、Pd-Siを用いてPd_xSi_yを利用することができる。しかしながら、Tiを用いてTiSi_xやTiSi_yを利用することができるが、処理温度の問題や、接触抵抗、シート抵抗の問題から好ましい。

【0014】また、また図1に示すTFTでは、ゲート電極周囲に絶縁層16が形成されているが、この絶縁層が形成されておらず、ゲート電極に直接して絶縁物22を設ける構成としてもよい。

【りり15】さらに本発明の好ましい実施態様例を図3に示す。図3に示すのは、シリサイド層90を形成することによって、ソース／ドレイン領域のシート抵抗を低減させたもので、ソース／ドレイン電極が通常のTFTのようにチャネル形成領域87より離れた位置(94で示される)に存在している構造である。このような構造を採用すると、ソース／ドレイン領域のシート抵抗を低減できるので、ソース／ドレイン電極の形成される位置が、図3(D)に示されるように通常の位置であっても、TFTの特性を向上させることができる。

【0016】

【作用】ゲート電極の側面に概略三角形状の絶縁物を自己整合的に設けることで、ソース／ドレイン領域へのコンタクトホールの形成が不規則になる。また、この概略三角形状の絶縁物によって、ソース／ドレイン領域へのコンタクト位置をチャネル形成領域に近い所に設けることができる。そして、ソース／ドレイン領域表面をシリサイド化することで、ソース／ドレイン電極との接触抵抗の低減、ソース／ドレイン領域のシート抵抗の低減を得

ことができる。

【0017】また、通常のTFTの構造を採用した場合であっても、ソース／ドレイン領域表面に金属とのシリサイド層を形成することにより、ソース／ドレイン領域のシート抵抗を下げることができ、TFTの特性を向上させることができる。

【0018】

【実施例】

【実施例1】図1に本実施例のTFTの概略の作製工程を示す。本実施例で作製するのは、Nチャネル型TFTであるが、ソース／ドレイン領域をP型半導体で構成すればPチャネル型TFTとできることはいうまでもない。また、以下の実施例の説明においては、半導体として珪素半導体を用いる例を説明するが、他の半導体を用いることもできる。本実施例のTFTは、液晶表示装置の画素に設けられるTFTや周辺回路に利用されるTFT。さらにはイメージセンサやその他集積回路に利用することができる。

【0019】本実施例においては、基板11としてガラス基板を用いる。まずガラス基板11上に下地膜12として酸化珪素膜を2000Åの厚さにスパッタ法によって成膜する。つぎに非晶質珪素膜13をプラズマCVD法によって1000Åの厚さに成膜する。この非晶質珪素膜13の成膜方法や膜厚は実施態様によって決定されるものであり、特に限定されるものではない。また結晶性を有する珪素膜（例えば微結晶珪素膜や多結晶珪素膜）を利用することもできる。

【0020】つぎに、非晶質珪素膜13を結晶化させ、結晶性珪素膜とする。結晶化は、600度、24時間の加熱によって行うのが、簡単であるが、レーザー光の照射や強光の照射によって行ってもよい。そして、素子間分離のためのバーニングを行ない、活性層領域を確定する。活性層領域とは、ソース／ドレイン領域とチャネル形成領域とが形成される島状の半導体領域のことである。

【0021】つぎにゲート絶縁膜となる酸化珪素膜14を1000Åの厚さにスパッタ法によって成膜する。この酸化珪素膜14の成膜は、有機シラン（例えばTEOS）と酸素とを用いたプラズマCVD法によるものでもよい。つぎにゲート電極となるアルミニウム膜を600~800Å、本実施例では600Åの厚さに成膜する。なお、このアルミニウム膜中には珪素を約1~2%程度含有させてある。またゲート電極としては、珪素を主成分としたもの、珪素と金属とのシリサイド、珪素と金属との積層体等を用いることもできる。

【0022】つぎに、アルミニウム膜をバーニングして、ゲート電極15を形成する。さらにこのアルミニウムよりなるゲート電極15の表面を陽極酸化して、表面に酸化物層16を形成する。この陽極酸化は、酒石酸が1~5%含まれたエチレングリコール浴液中で行った。

本実施例においては、この酸化物層16の側面での厚さが2000Åであり、この厚さを利用して後の不純物イオン注入工程において、オフセットゲート領域を形成する。こうして、図1(A)に示す形状を得る。

【0023】次にN型の導電型を付与するための不純物P（磷）をイオン注入法により、活性層として形成された結晶性珪素膜13にドーピングする。この際、ゲート電極15とその周囲の酸化物層16がマスクとなり、自己整合的にソース／ドレイン領域17、19とチャネル形成領域18とが形成される。この後ドーピングされたPを活性化するとの結晶化の劣化した珪素膜のアニールを行うために、レーザー光の照射によるアニールを行う。このアニールは、赤外光の照射によるランプアニールによるものでもよい。また公知の加熱によるものでもよい。しかし、赤外線（例えば1.2μmの赤外線）によるアニールは、赤外線が珪素半導体に選択的に吸収され、ガラス基板をそれ程加熱せず、しかも一回の照射時間を短くすることで、ガラス基板に対する加熱を抑えることができ、極めて有用である。なおこの際、Pはチャネル形成領域の方に多少拡散するので、ソース／ドレイン領域17、19とチャネル形成領域18との界面は、酸化物層16よりもチャネル形成領域18側にシフトした位置に存在する。

【0024】次に酸化珪素膜20を6000Å~2μm、ここでは9000Åの厚さにスパッタ法によって成膜する。この酸化珪素膜20の成膜方法としては、スパッタ法の他にTEOSと酸素とを用いたプラズマCVD法によるものでもよい。この酸化珪素膜は、段差が大きいゲート電極15の上方において、図1(B)に示すような形状となる。これは程度の問題であって、酸化珪素膜20のステップカバレージや膜厚によって変化する。

【0025】次に、公知のRIE法による異方性ドライエッティングを行うことによって、この酸化珪素膜20のエッティングを行う。この際、その高さが9000Åあるゲート電極15の側面においては、その高さ方向の厚さが膜厚（酸化珪素膜の膜厚9000Åのこと）の約2倍となるので、エッティングを進めていくと、点線21で示されるような形状で酸化珪素を残すことができる。またこの際、ゲート絶縁膜である酸化珪素膜14をも統合してエッティングしてしまい、ソース／ドレイン領域17、19を露呈させる。またこの場合、活性層としてバーニングされた結晶性珪素膜13の端部においても段差が存在するが、その高さは1000Å程度であるので、この部分には酸化珪素膜20はほとんど残存しない。図1においては、酸化珪素膜20が図1(B)に示すような形状に形成されたので、点線21で示すような形状で酸化珪素が残存するが、仮に酸化珪素膜20がゲート電極の形状をそのまま反映した形（四角く角張った形状で盛り上がる）で成膜されたとすると、21の形状は方形状または矩形状となる。

7

【0026】こうして概略三角形状に形成された酸化珪素22が残存した状態が得られる。本実施例においては、この三角形状の酸化珪素22の幅は、3000Å程度であるが、その値は酸化珪素膜20の膜厚とエッチング条件、さらにはゲイト電極15の高さ（酸化物層16も含めて考える）によって定めることができる。

【0027】次に、T₁またはT₁:Si_xの膜を成膜し、熱アニールを加えることにより、28で示されるようなS₁とT₁とのシリサイドを形成する。ここではT₁膜を、100Å～1000Å（ここでは500Åの厚さ）にスパッタ法で成膜する。そして450度でアニールし、シリサイド層28を形成する。このアニールは赤外光のランプアニールによるものでもよい。ランプアニールを行う場合には、被照射面表面が600度～1000度程度になるように、600度の場合は数分間、1000度の場合は数秒間のランプ照射を行うようとする。また、ここでは、ゲイト電極にアルミを用いているので、T₁膜成膜後の熱アニールを450度としたが、ゲイト電極に珪素を主成分としたものを用いた場合には、500℃以上の温度で行なうことが好ましい。

【0028】この後、過酸化水素とアンモニアと水とを5:2:2で混合したエッチング液でT₁膜のエッチングする。この際、S₁とT₁とのシリサイド層28はエッチングされないので、残存させることができる。さらにレーザー光の照射によってアニールを行う。このアニール工程は、200mJ/cm²～400mJ/cm²で行なう。

【0029】上記の工程の結果、28で示されるようにソース／ドレイン領域の表面にS₁とT₁とのシリサイドが形成される。さらにソース／ドレイン電極29、30を形成することにより、Nチャネル型 TFTを完成する。（図1（D））

【0030】ソース／ドレイン電極29、30は下地を窒化チタンとした窒化チタン／アルミニウム2層膜で構成することが好ましい。これは、ソース／ドレイン領域表面がチタンシリサイドとなっているので、極めて良好なコンタクトがとれるためである。

【0031】こうして完成したNチャネル型 TFTは、三角形状の酸化珪素22の存在によって、所謂自己整合的にソース／ドレイン領域と電極とのコンタクト部を決定することができ、しかもその位置をガラス基板11の縮みに開け無く決めることができる。さらに、極力コンタクト位置をチャネル形成領域に近づけることができ、さらにそれに加えてソース／ドレイン領域のシート抵抗がシリサイド層28の存在によって低減されているので、高特性を有するTFTを得ることができる。また、ソース／ドレイン電極を設けるためのゲイト絶縁膜への穴開け工程が不要となるので、この工程に起因する諸問題を根本的に解決することができる。

【0032】また本実施例のような構成を採った場合、

8

ゲイト電極15の側面に陽極酸化工程によって形成されたアルミニウムの酸化物（Al₂O₃）と酸化珪素（SiO₂）22とが設けられているので、ゲイト電極とソース／ドレイン電極との間の寄生容量を減少させることができる。

【0033】【実施例2】本実施例の作製工程を図2に示す。図2に示す符号において、図1に示す符号と同じものは、実施例1において説明したものと作製方法は同じである。まずガラス基板11上にスパッタ法によって、酸化珪素膜2000Åの厚さに成膜する。次に、非晶質珪素膜13を1000Åの厚さにプラズマCVD法によって成膜する。そして600度、24時間の熱アニールによって非晶質珪素膜13を結晶化させ、結晶性珪素膜とする。

【0034】次に、アルミニウム膜を6000Åの厚さに成膜し、実施例1と同様な工程を経て、その表面に2000Å厚の酸化物層16が形成されたアルミニウムのゲイト電極15を形成する。そして、ゲイト電極以外の場所のゲイト絶縁膜14をエッチングによって除去して、図2（A）のような状態を得る。この後、Pのイオン注入を行ない、ソース／ドレイン領域17、19とチャネル形成領域18とを自己整合的に形成する。なお、このイオン注入工程は、ゲイト電極である酸化珪素膜14を除去する前に行ってよい。そして、レーザー照射またはランプ加熱または加熱によるアニールを行いソース／ドレイン領域17、19を活性化させる。

【0035】次に、酸化珪素膜20を6000Åの厚さにスパッタ法によって成膜し、RIE法によって実施例1と同様な方法によりエッチングを行ない、21で示される部分に概略三角形状の酸化珪素22を残存させる。

【0036】次に、T₁膜27を500Åの厚さに成膜する。そして450度の熱アニールを行い、実施例1で説明したようにT₁膜27を選択的にエッチングして除去する。そしてさらにレーザー光の照射によるアニールを行い、S₁とT₁とのシリサイド層28を形成する。そして、ソース／ドレイン電極となるアルミ電極29と30を形成して、Nチャネル型 TFTを完成する。

【0037】本実施例の場合も、実施例1と同様な構造上の効果を得ることができる。即ち、25で示される概略三角形状の酸化珪素22の幅を約3000Å（25で示される）と狭くすることができるので、ソース／ドレイン領域17／19と電極29／30とのコンタクトの容易さを実現するとともに、ソース／ドレイン領域17、19のコンタクト部をチャネル形成領域18に近づけることができ、高い特性を有するTFTを得ることができる。

【0038】勿論、25で示される部分の寸法は、酸化珪素膜20の膜厚、酸化珪素膜20のエッチング条件、ゲイト電極（酸化物層16も含む）15の高さ、によって必要とする値に決めることができる。

【0039】また、ソース／ドレイン領域への穴明け工程が不要となるので、この穴明け工程に従う問題を根本的に解決することができる。

【0040】〔実施例3〕本実施例の作製工程図を図3に示す。図3に示すTFTは、ソース／ドレイン電極の形成を従来の方法と同様な方法で形成するものであるが、ソース／ドレイン領域表面90にシリサイド層が形成されており、ソース／ドレイン領域86、88のシート抵抗が低減されていることが特長である。

【0041】まず、ガラス基板80上に下地膜81である酸化珪素膜を1000Åの厚さにスパッタ法によって成膜する。次に非晶質珪素膜82をプラズマCVD法で1000Åの厚さに成膜し、600度、48時間の加熱により結晶化させる。次に素子間分離を行ない活性層を形成する。

【0042】さらに、ゲート絶縁膜となる酸化珪素膜83を1000Åの厚さにスパッタ法で形成する。そして、ゲート電極84を構成する珪素が1%添加されたアルミニウム膜を6000Åの厚さに成膜し、パターニングによりゲート電極84を形成する。さらに陽極酸化工程により、酸化物層85を2000Åの厚さに形成する。そして、Pをイオン注入することによって、86、88をN型化し、チャネル形成領域87を自己整合的に形成する。こうして、ソース／ドレイン領域86、88、さらにはチャネル形成領域87が形成される。

【0043】この後、レーザー光の照射、あるいは赤外光の照射によるソース／ドレイン領域の活性化工程を行なう。そして、露呈した酸化珪素膜83を除去し、T₁膜89をスパッタ法で500Åの厚さに形成する。そして450度で熱アニールを加えることにより、S_iとT₁とのシリサイド層90を形成する。その後T₁膜89を実施例1で説明した選択性のあるエッチングによって取り除く。さらにレーザー光によるアニールを加える。

【0044】そして、層間絶縁物91を酸化珪素によって形成し、通常のパターニング工程によって、ソース／ドレイン電極92、93の形成を行う。このような構成を探った場合、ソース／ドレイン電極92、93とチャネル形成領域87との距離94が離れていても、シリサイド層90の作用によってソース／ドレイン領域のシート抵抗が低減されているので、ソース／ドレイン領域のシート抵抗の影響を受けないTFTを得ることができるのである。また、94の距離をある程度の余裕をもってとることができるので、ソース／ドレイン電極形成の際の層間絶縁物91に対する穴開け工程におけるマスク合わせに余裕を持たすことができ、作製工程上も有意である。

【0045】特に、ソース／ドレイン領域への、コンタクトホールの穴明けの際に、ゲート電極への穴明けを行おうとする場合、従来では、ゲート電極上側の陽極酸化層をエッチングしている間に、ソース／ドレイン領域上面がエッチング液(バッファ溶液)によって変成されてし

まう問題があつたが、本実施例のように、ソース／ドレイン領域上面にシリサイド層が形成されている場合、シリサイド層はバッファ溶液によってほとんど変成されないので、上記の問題を解決することができる。

【0046】〔実施例4〕本実施例は、ガラス基板上にNチャネル型TFT(N TFT)とPチャネル型TFT(P TFT)とを相補型に構成したC/TFT(コンプレメンタリーブラジオトランジスタ)設ける例である。

【0047】まず、ガラス基板100上に下地膜101である酸化珪素膜を1000Åの厚さにスパッタ法によって成膜する。次に非晶質珪素膜をプラズマCVD法で1000Åの厚さに成膜し、600度、48時間の加熱により結晶化させる。次に素子間分離を行ない結晶化された活性層102と103を形成する。

【0048】さらに、ゲート絶縁膜となる酸化珪素膜104を1000Åの厚さにスパッタ法で形成する。そして、ゲート電極105、107を構成する珪素が1%添加されたアルミニウム膜を6000Åの厚さに成膜し、パターニングによりゲート電極105、107を形成する。さらに陽極酸化工程により、酸化物層106、108を2000Åの厚さに形成する。そして、一方の活性層102にBをイオン注入することによって、ソース／ドレイン領域となる109、111をP型化し、チャネル形成領域110を自己整合的に形成する。さらに他の一方の活性層103にPをイオン注入することによって、ソース／ドレイン領域となる112、114をN型化し、チャネル形成領域113を自己整合的に形成する。この工程において、イオン注入を必要としない領域はレジストで覆えばよい。

【0049】この後、レーザー光の照射、あるいは赤外光の照射によるソース／ドレイン領域の活性化工程を行なう。そして、露呈した酸化珪素膜104を除去し、T₁膜を実施例1と同様な条件で成膜し、さらに熱アニールを加えることにより、S_iとT₁とのシリサイド層116を形成する。こうしてS_iとT₁とのシリサイド層116を形成する。

【0050】そして、層間絶縁物117を酸化珪素によって形成し、通常のパターニング工程によって、Pチャネル型TFTのソース／ドレイン電極118、119、Nチャネル型TFTのソース／ドレイン電極120、121を形成する。このような構成を探った場合、ソース／ドレイン電極120、121とチャネル形成領域113との距離122が離れていても、シリサイド層116の作用によってソース／ドレイン領域のシート抵抗が低減されているので、ソース／ドレイン領域のシート抵抗の影響を受けないTFTを得ることができる。また、122の距離をある程度の余裕をもってとることができるので、ソース／ドレイン電極形成の際の層間絶縁物117に対する穴開け工程におけるマスク合わせに余裕を持たすことができる。

11

裕をもたすことができ、作製工程上も有用である。さらに、この穴開け工程において、ソース／ドレイン領域上面がエッティングあるいは変成されることを防ぐことができる。

【0051】以上の実施例1～4においては、ゲート電極としてアルミニウムを用い、その周囲に陽極酸化によって形成した酸化物層を設ける構成を示した。しかしながら、珪素を主成分としたゲートであっても、また金属を主成分としたゲート電極であっても、また半導体と金属の積層で構成されるゲート電極であってもよい。または半導体と金属のシリサイドであってもよい。例えばT₁電極、C_T電極、T_a電極、またはこれらと珪素との積層やシリサイドの電極、さらにはSi-W、Si-Mo、Si-Alの積層またはシリサイドをゲート電極として利用することができる。

【0052】

【効果】ゲート電極に隣接して、自己整合的に絶縁物を設けることで、ソース／ドレイン領域へのコンタクト位置を自動的に決めることができる。しかもソース／ドレイン領域のシート抵抗の高さをあまり問題としなくてもよい構造を得ることができる。特に、

(1)マスク合わせの問題が無い。

(2)コンタクトホール形成の際の諸問題がない。

(3)自己整合的にコンタクト部とチャネル形成領域との距離を設定することができる。

といった有用性を得ることができる。

【0053】また、ソース／ドレイン領域の表面にシリサイド層を形成することで、ソース／ドレイン領域のシート抵抗を低減することができ、 TFTの特性、歩留り、信頼性、生産性を向上させることができる。

【図面の簡単な説明】

【図1】 実施例のTFTの作製工程を示す。

*

12

* 【図2】 実施例のTFTの作製工程を示す。

【図3】 実施例のTFTの作製工程を示す。

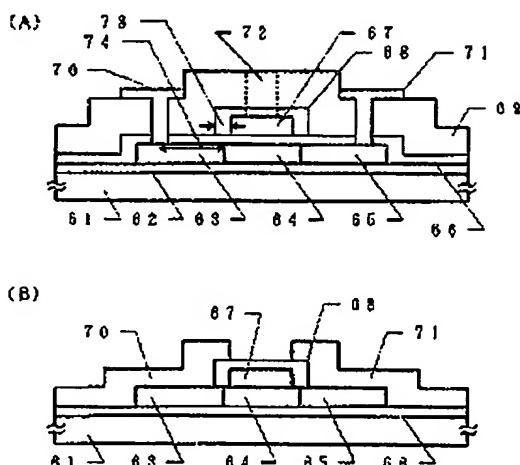
【図4】 実施例のTFTの作製工程を示す。

【図5】 従来のTFTの構造を示す。

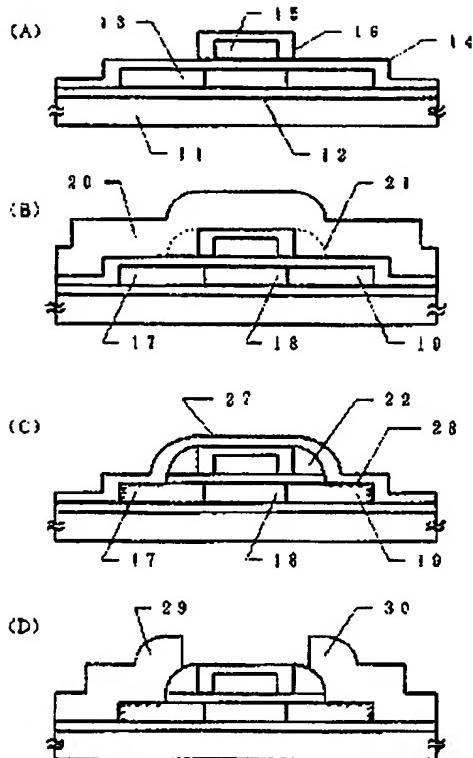
【符号の説明】

- | | |
|----|------------------|
| 11 | ガラス基板 |
| 12 | 下地膜(酸化珪素膜) |
| 13 | 珪素半導体膜 |
| 14 | 酸化珪素膜 |
| 15 | ゲート電極 |
| 16 | 酸化物層 |
| 17 | ソース／ドレイン領域 |
| 18 | チャネル形成領域 |
| 19 | ドレイン／ソース領域 |
| 20 | 酸化珪素膜 |
| 21 | 酸化珪素膜が残存する領域 |
| 22 | 残存した概略三角形状の酸化珪素 |
| 27 | T ₁ 膜 |
| 28 | シリサイド層 |
| 29 | 電極 |
| 30 | 電極 |
| 80 | ガラス基板 |
| 81 | 下地膜(酸化珪素膜) |
| 82 | 珪素膜 |
| 83 | 酸化珪素膜 |
| 84 | ゲート電極 |
| 85 | 酸化物層 |
| 89 | T ₁ 膜 |
| 90 | シリサイド層 |
| 91 | 層間絶縁物 |
| 92 | 電極 |
| 93 | 電極 |

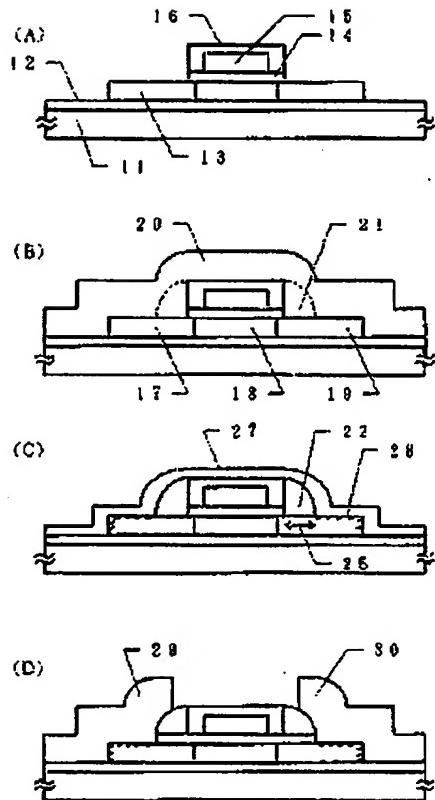
【図5】



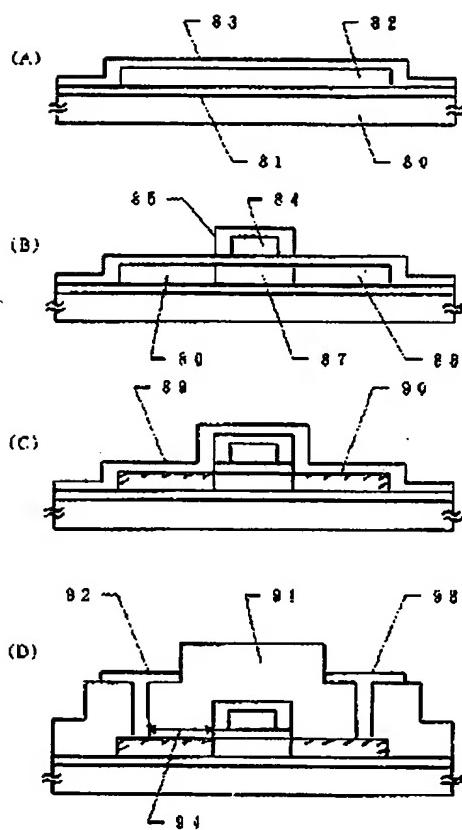
【図1】



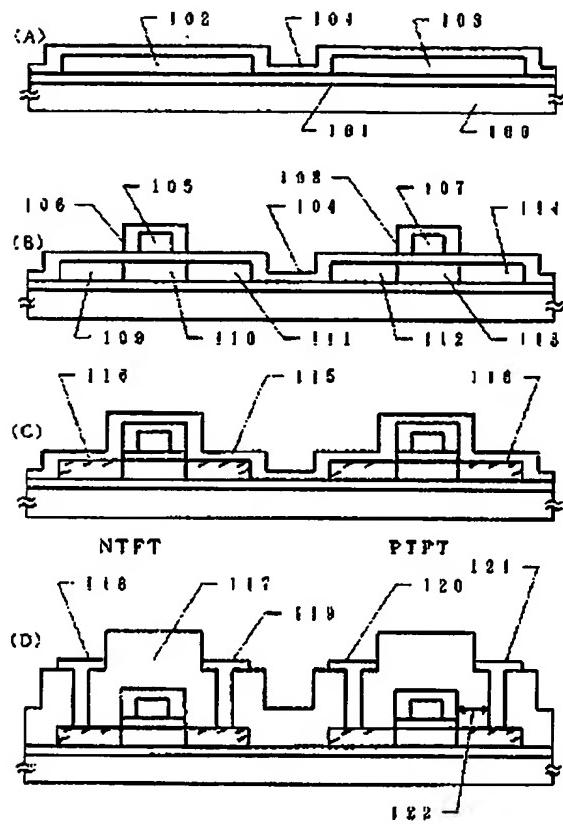
【図2】



[図3]



[図4]



フロントページの続き

(51) Int.Cl.
H 01 L 21/3205
21/336
29/786

識別記号 庁内整理番号

F I

技術表示箇所

9056-4M

H 01 L 21/265
21/38
29/78

M
F
3 1 1 G